

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-100880

(43)Date of publication of application : 07.04.2000

(51)Int.Cl. H01L 21/66
G01R 31/28

(21)Application number : 10-267872

(71)Applicant : SHARP CORP

(22)Date of filing : 22.09.1998

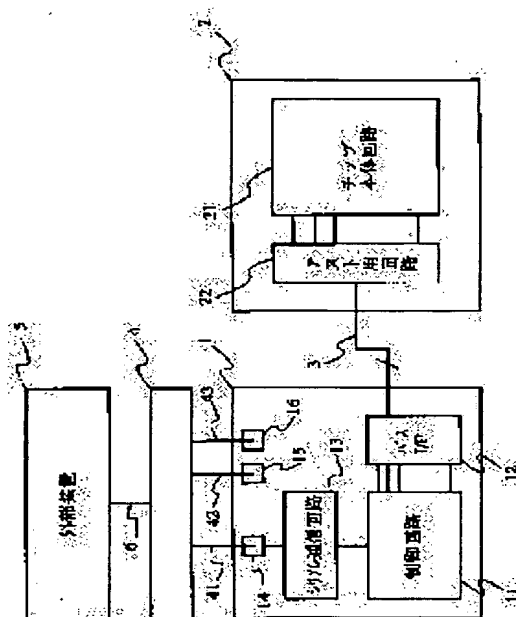
(72)Inventor : SAEKI TAKAHIRO
ISHIKAWA SHINJI

(54) TESTING EQUIPMENT FOR SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten the testing time of a semiconductor integrated circuit by eliminating the need for moving a probe card on the surface of a wafer.

SOLUTION: A control circuit 11 of a test-only chip 1 is supplied with electricity from an external unit 5, via a probe card 4 in a power input pad 15 and a grounding pad 16 and outputs test data to the test circuit 22 of a chip 2 to be tested via a bus interface 12 and a bus line 3. The control circuit 11 serially sends test results to the external unit 5 via a serial communication circuit 13, a communication pad 14 and a probe card 3. Accordingly, the test-only chip 1 is connected to the external unit 5 via three probing pins 41-43 of the probe cards 4, which reduces the number of the probing pins of the probe card 4 to an extremely low level as compared with the number of the pads of the chip 2 to be tested on a wafer 8.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-100880

(P 2000-100880 A)

(43) 公開日 平成12年4月7日(2000. 4. 7)

(51) Int. Cl.⁷

識別記号

F I

テ-マコ-ト (参考)

H 0 1 L 21/66

H 0 1 L 21/66

B 2G032

G 0 1 R 31/28

G 0 1 R 31/28

V 4M106

審査請求 未請求 請求項の数 8

OL

(全 10 頁)

(21) 出願番号 特願平10-267872

(22) 出願日 平成10年9月22日(1998. 9. 22)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 佐伯 隆宏

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 石川 真治

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100084548

弁理士 小森 久夫

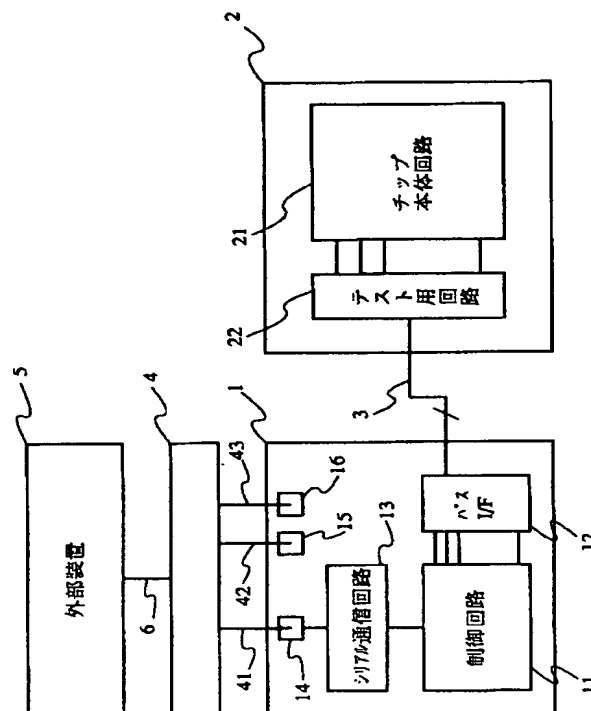
最終頁に続く

(54) 【発明の名称】 半導体集積回路のテスト装置

(57) 【要約】

【目的】 ウェハの上面におけるプローブカードの移動を不要にして半導体集積回路のテスト作業を短時間化する。

【構成】 テスト専用チップ1の制御回路11は、電源入力用パッド15及び接地用パッド16において外部装置5からプローブカード4を介して電源の供給を受けて動作し、バスインタフェース12及びバスライン3を介して被テストチップ2のテスト用回路22にテスト用データを出力する。制御回路11は、シリアル通信回路13、通信用パッド14及びプローブカード3を介して外部装置4にテスト結果をシリアル送信する。したがって、テスト専用チップ1はプローブカード4の3本のプロービングピン41～43を介して外部装置5に接続され、プローブカード4に備えるべきプロービングピンの総数は、ウェハ8上の被テストチップ2が有するパッドの総数に比較して極めて少なくなる。



【特許請求の範囲】

【請求項 1】 ウェハ上に形成された多数個の半導体集積回路のチップの一部を被テストチップをテストする制御回路と外部装置に対してテスト結果をシリアル送信するシリアル通信回路とを含むテスト専用チップとし、テスト専用チップを単一又は複数の被テストチップ内の各回路に接続する通信ラインをウェハ上に形成したことを特徴とする半導体集積回路のテスト装置。

【請求項 2】 前記テスト専用チップが、テスト専用チップのシリアル通信回路に接続されるシリアル通信ライン、及び、テスト専用チップに対して電源を供給する電源ラインを備えたプローブカードを介して外部装置に接続される請求項 1 に記載の半導体集積回路のテスト装置。

【請求項 3】 前記被テストチップが、テスト専用チップの制御回路によって制御されるテスト用回路を含む請求項 1 又は 2 に記載の半導体集積回路のテスト装置。

【請求項 4】 前記被テストチップが、テスト専用チップを介して電源の供給を受ける請求項 1 乃至 3 のいずれかに記載の半導体集積回路のテスト装置。

【請求項 5】 前記被テストチップとテスト専用チップとの間の通信ラインが、被テストチップ内においてテスト専用チップからの切断信号に基づいて切断される請求項 1 乃至 4 のいずれかに記載の半導体集積回路のテスト装置。

【請求項 6】 前記被テストチップ内のテスト用回路に対する電源ラインが、テスト専用チップからの切断信号に基づいて切断される請求項 3 乃至 5 のいずれかに記載の半導体集積回路のテスト装置。

【請求項 7】 前記被テストチップが、テスト結果を記憶する不揮発性メモリを備えた請求項 1 乃至 6 のいずれかに記載の半導体集積回路のテスト装置。

【請求項 8】 前記テスト専用チップが、自己診断回路を備え、自己診断回路による自己診断結果に基づいて外部装置との間の電源ラインをテスト専用チップ内で切断する請求項 1 乃至 7 のいずれかに記載の半導体集積回路のテスト装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体集積回路をウェハ上でテストする半導体集積回路のテスト装置に関する。

【0002】

【従来の技術】 ウェハ上に多数個のチップとして形成された半導体集積回路のそれぞれは、製品として出荷する前に回路機能や電気的特性等をテストする必要がある。従来、ウェハ上において半導体集積回路の回路機能や電気的特性等のテストを行う方法として、図 8 に示すように、ウェハ上に形成された多数の半導体集積回路 80 のうちの単一の半導体集積回路 80 をプローブカード 87

を介してウェハテスト 84 に接続し、ウェハテスト 84 に予め格納されているテストプログラムに基づいて半導体集積回路 80 内に構成された複数の回路のそれぞれの機能等のテストを行うものがある。

【0003】 この方法に用いられるプローブカード 87 は、中央の中空部において単一又は数個の半導体集積回路 80 に形成されている複数のパッド 80a のそれぞれに接続される複数のプロービングピン 86 を突出しており、接続用ケーブル 85 を介してウェハテスト 84 に接続されている。ウェハ上に形成された多数個の半導体集積回路 80 のうちの単一又は数個の半導体集積回路 80 にプローブカード 87 の中空部を順次対向させていくことにより、ウェハ上に形成された多数個の半導体集積回路 80 の全てについてテストを行うようにしている。

【0004】

【発明が解決しようとする課題】 しかしながら、半導体集積回路の各パッドをプローブカードを介してウェハテストに接続して半導体集積回路をテストする方法では、半導体集積回路の多数のパッドのそれぞれに接続させるべきプロービングピンを備えるプローブカードの構造上、1つのプローブカードに対向させることができる半導体集積回路の数には限りがあり、ウェハ上面におけるプローブカードの位置を固定した状態では、一度に単一又は数個の半導体集積回路に対するテストしか実行することができず、単一又は数個の半導体集積回路に対するテストが終了する毎にウェハの上面においてプローブカードを順次移動させる必要があり、ウェハ上に形成された多数個の半導体集積回路の全てに対するテストを完了するために長時間を必要とする問題があった。

【0005】 この発明の目的は、ウェハ上に形成したテスト専用チップに対してテストデータをシリアル送受信するプローブを用いてウェハ上に形成した多数個の被テストチップをテストすることにより、各被テストチップが有する複数のパッドのそれぞれにプロービングピンを接続する必要をなくし、ウェハ上に存在する全ての被テストチップが有するパッドの総数に比較してプローブカードが備えるべきプローブピン数を削減することにより、ウェハ上に存在する全ての被テストチップに対するテストを、ウェハの上面における位置を固定した単一のプローブカードによって行うことができるようにし、ウェハの上面におけるプローブカードの移動を不要にして半導体集積回路のテスト作業を短時間化することができる半導体集積回路のテスト装置を提供することにある。

【0006】

【課題を解決するための手段】 請求項 1 に記載した発明は、ウェハ上に形成された多数個の半導体集積回路のチップの一部を被テストチップをテストする制御回路と外部装置に対してテスト結果をシリアル送信するシリアル通信回路とを含むテスト専用チップとし、テスト専用チップを単一又は複数の被テストチップ内の各回路に接続

する通信ラインをウェハ上に形成したことを特徴とする。

【0007】請求項1に記載した発明においては、被テストチップが形成されているウェハと同一のウェハ上に、被テストチップをテストする制御回路と外部装置に対してテスト結果をシリアル送信するシリアル通信回路とを含むテスト専用チップ、及び、テスト専用チップを単一又は複数の被テストチップ内の各回路に接続する通信ラインが形成される。したがって、ウェハ上の被テストチップ内の各回路は、同一のウェハ上に形成されたテスト専用チップ内の制御回路によってテストされ、そのテスト結果はシリアル通信回路により単一の通信ラインを介して外部装置にシリアル送信されるため、ウェハと外部装置との間に配置すべき通信ライン数がウェハ上に存在する被テストチップのパッドの総数に比較して極めて少なくなる。

【0008】請求項2に記載した発明は、前記テスト専用チップが、テスト専用チップのシリアル通信回路に接続されるシリアル通信ライン、及び、テスト専用チップに対して電源を供給する電源ラインを備えたプローブカードを介して外部装置に接続されることを特徴とする。

【0009】請求項2に記載した発明においては、ウェハ上に形成されたテスト専用チップと外部装置とが、シリアル通信ライン及び電源ラインを備えたプローブカードを介して接続される。したがって、プローブカードとテスト専用チップとの間に配置すべきライン数が、ウェハ上に存在する被テストチップのパッドの総数に比較して極めて少なくなり、ウェハ上に存在する全てのテスト専用チップとの間に接続すべきラインをプローブカードに形成することができ、ウェハ上に存在する被テストチップの全てをテストするためにウェハの上面上においてプローブカードを移動させる必要がない。

【0010】請求項3に記載した発明は、前記被テストチップが、テスト専用チップの制御回路によって制御されるテスト用回路を含むことを特徴とする。

【0011】請求項3に記載した発明においては、被テストチップのそれぞれが、テスト専用チップ内の制御回路によって制御されるテスト用回路を備える。したがって、単一のテスト専用チップによって複数の被テストチップをテストする際に、複数のテスト用回路をテスト専用チップ内に構成する必要がなく、ウェハ上におけるテスト専用チップの専有面積が増加することがない。

【0012】請求項4に記載した発明は、前記被テストチップが、テスト専用チップを介して電源の供給を受けることを特徴とする。

【0013】請求項4に記載した発明においては、テスト専用チップから被テストチップに電源が供給される。したがって、被テストチップのテスト時に、ウェハ上に形成された多数個の被テストチップのそれぞれに外部から個別に電源を供給するための電源ラインを接続する必

要がない。

【0014】請求項5に記載した発明は、前記被テストチップとテスト専用チップとの間の通信ラインが、被テストチップ内においてテスト専用チップからの切断信号に基づいて切断されることを特徴とする。

【0015】請求項5に記載した発明においては、被テストチップとテスト専用チップとの間の通信ラインが被テストチップ内において切断される。したがって、ウェハからダイシングした後において被テストチップの端部に露出する通信ラインが、被テストチップ内に形成された回路に電氣的に接続されることがなく、被テストチップ内の回路が外部のノイズの影響を受けることがない。

【0016】請求項6に記載した発明は、前記被テストチップ内のテスト用回路に対する電源ラインが、テスト専用チップからの切断信号に基づいて切断されることを特徴とする。

【0017】請求項6に記載した発明においては、被テストチップ内に形成されたテスト用回路に対する電源ラインがテスト専用チップからの切断信号に基づいて切断される。したがって、被テストチップがウェハからダイシングされた後に、被テストチップ内のテスト用回路に電源が供給されることがない。

【0018】請求項7に記載した発明は、前記被テストチップが、テスト作業が正常に終了したか否かの状態を記憶する不揮発性メモリを備えたことを特徴とする。

【0019】請求項7に記載した発明においては、被テストチップ内の不揮発性メモリにテスト作業が正常に終了したか否かの状態が保存される。したがって、ウェハから被テストチップをダイシングした後には不揮発性メモリの記憶内容を読み出すことにより被テストチップのテスト作業が正常に終了したか否かを確認できる。

【0020】請求項8に記載した発明は、前記テスト専用チップが、自己診断回路を備え、自己診断回路による自己診断結果に基づいて外部装置との間の電源ラインをテスト専用チップ内で切断することを特徴とする。

【0021】請求項8に記載した発明においては、テスト専用チップと外部装置との間の電源ラインがテスト専用チップの自己診断結果に基づいてテスト専用チップ内で切断される。したがって、テスト専用チップの機能が正常でない場合には、テスト専用チップによる被テストチップのテストは行われない。

【0022】

【実施の形態】図1は、この発明の実施形態に係る半導体集積回路のテスト装置を適用したウェハにおける被テストチップとテスト専用チップとの配置状態を示す図である。ウェハ8上においてマトリックス状に多数個形成された半導体集積回路のうち、3×3の小マトリックスの中心に位置する半導体集積回路がこの発明のテスト専用チップ1にされており、テスト専用チップ1の周囲に位置する8個の半導体集積回路が製品となるこの発明の

被テストチップ2である。各テスト専用チップ1は、周囲に位置する最大8個の被テストチップ2をテストする。

【0023】図2は、この発明の第1の実施形態に係る半導体集積回路のテスト装置の構成を示すブロック図である。ウェハ8上に形成されたテスト専用チップ1は、制御回路11、バスインタフェース12、シリアル通信回路13、通信用パッド14、電源入力用パッド15及び接地用パッド16を備えている。ウェハ8上に形成された被テストチップ2は、チップ本体回路21及びテスト用回路22を備えている。テスト専用チップ1は、最大8個の被テストチップ2にバスライン3を介して接続されている。バスライン3は、テスト専用チップ1及び被テストチップ2とともにウェハ8上に形成される。テスト専用チップ1のパッド14～16には、プローブカード4から突出したプロービングピン41～43のそれぞれが接続される。プローブカード4は、ケーブル6を介して外部装置5に接続されている。

【0024】テスト専用チップ1の制御回路11は、電源入力用パッド15及び接地用パッド16において外部装置5からプローブカード4を介して電源の供給を受けて動作し、バスインタフェース12及びバスライン3を介して被テストチップ2のそれぞれのテスト用回路22に対してテスト用データを出力する。また、制御回路11は、シリアル通信回路13、通信用パッド14及びプローブカード3を介して外部装置4にテスト結果をシリアル送信する。被テストチップ2のテスト用回路22は、テスト専用チップ1の制御回路11から送信されたテスト用データに基づいて動作し、チップ本体回路21を構成する各回路の機能等のテストを行う。テスト用回路22は、このテスト結果をバスライン3を介してテスト専用チップ1に送信する。

【0025】図3は、上記半導体集積回路のテスト装置におけるプローブカードの構成を示す外観図である。前述のように、プローブカード4は、3本1組のプロービングピン41～43を複数組突出して備えており、ケーブル6を介して外部装置5に接続されている。プローブカード4は、ウェハ8上に形成された被テストチップ2のテスト時に、ウェハ8の上面の所定位置に固定的に配置される。このとき、プロービングピン41～43は、各テスト専用チップ1のパッド14～16のそれぞれに接続される。

【0026】以上の構成により、被テストチップ2のチップ本体回路21の機能等をテストする際に、最大8個の被テストチップ2をテストするテスト専用チップ1のそれぞれに、プローブカード4に形成された3本1組のプロービングピン41～43を接続することにより、テスト専用チップ1からプローブカード4を経由してテスト結果データを外部装置5にシリアル送信することができる。したがって、ウェハ8上に形成されたテスト専用

チップ2の総数に3を乗じた数のプローブピンを形成したプローブカード4をウェハ8の上面に固定的に配置して、ウェハ8上に形成された全ての被テストチップ2をテストすることができる。これによって、被テストチップ2のテスト時にプローブカード4をウェハ8の上面において移動させる必要がなく、被テストチップ2のテスト作業を短時間化することができる。

【0027】また、被テストチップ2のそれぞれにテスト用回路22を備えているため、単一の被テストチップ2に対するテストに要する時間においてウェハ8上に形成された全ての被テストチップ2に対するテストが完了し、テスト作業をさらに短時間化することができる。

【0028】なお、テスト専用チップ1内に、最大8個の被テストチップ2のそれぞれに対応したテスト用回路22を形成することによって同様の効果を得ることができる。但し、この場合にはウェハ8上におけるテスト専用チップ1の専有面積が増加する可能性がある。

【0029】また、テスト専用チップ1内に単一のテスト用回路22を形成し、最大8個の被テストチップ2に対して順次切り換えて単一のテスト用回路22を使用することもできる。この場合には、8個の被テストチップ2を順次テストするために要する時間でウェハ8上に形成された全ての被テストチップ2をテストすることになるが、少なくともプローブカード4を移動させる時間は削減される。

【0030】図4は、この発明の第2の実施形態に係る半導体集積回路のテスト装置の構成を示すブロック図である。この実施形態に係るテスト装置では、テスト専用チップ1内に電源分配回路17を備えている。電源分配回路17は、電源用パッド15、16を介して外部装置5から供給された電源を電源ライン18を介して最大8個の被テストチップ2に分配して供給する。

【0031】このように、テスト専用チップ1がテストを行う被テストチップ2のそれぞれに対してテスト専用チップ1から電源を供給することにより、ウェハ8上の被テストチップ2に対して、テスト時の動作のための電源を外部装置から個別に供給する電源ラインを設ける必要がない。

【0032】図5は、この発明の第3の実施形態に係る半導体集積回路のテスト装置の構成を示すブロック図である。この実施形態に係るテスト装置では、被テストチップ2内において、テスト専用チップ1との間に接続されたバスライン3の一部にヒューズ24を配置し、テスト用回路22に電源を供給する電源ライン23の一部に切断回路25を配置している。切断回路25は、ヒューズ25a及びトランジスタ25bを含む。トランジスタ25bのベース端子は、信号ライン26を介してテスト専用チップ1に接続されている。

【0033】このように構成された被テストチップ2についてのテスト作業が終了すると、CPUテスト専用チ

チップ1は、バスライン3に含まれる信号ライン26を介してトランジスタ25bのベース端子に切断信号を出力する。この切断信号によってトランジスタ25bがオンし、電源ライン23におけるヒューズ25aのテスト用回路22側が接地され、電源パッド27から電源ライン23に過大な電流が流れ、ヒューズ25aが溶断する。これによって、テスト用回路22に対する電源の供給が絶たれる。この後、テスト専用チップ1はバスライン3に過大電圧を印加する。これによってヒューズ24が溶断し、被テストチップ2のチップ本体回路21及びテスト用回路22は、バスライン3から電氣的に切断される。

【0034】このようにして、テスト作業終了後において、被テストチップ2内のテスト用回路22に対する電源ライン23を切断することにより、テスト作業終了後の被テストチップ2を半導体集積回路として任意の回路において使用する場合に、テスト用回路22において電力が消費されることがなく、半導体集積回路の電力消費量の増加を招くことがない。また、ウェハ8からダイシングによって切り出された被テストチップ2の端部には、切断されたバスライン3の一部が露出することになるが、被テストチップ2の内部回路はバスライン3に接続されていないために外部ノイズの影響を受けることがなく、安定した動作状態が維持される。

【0035】図6は、この発明の第4の実施形態に係る半導体集積回路のテスト装置の構成を示すブロック図である。この実施形態に係るテスト装置では、テスト専用チップ1内に自己診断回路19及び電源ライン切断回路20を備えている。自己診断回路19は、被テストチップ2に対するテスト作業の実行前に制御回路11が正常にテスト作業を実行するか否かを診断する。電源ライン切断回路20は、電源入力用パッド15と制御回路11との間を接続する電源ライン15a内に挿入されたヒューズ20a、及び、電源ライン15aにおいてヒューズ20aの制御回路11側に接続されたトランジスタ20bを含む。

【0036】自己診断回路19は、制御回路11が正常に動作しない場合に、トランジスタ20bのベース端子に切断信号を出力する。この切断信号によってトランジスタ20bがオンし、電源ライン15aにおけるヒューズ20aの制御回路11側が接地される。これによって、電源ライン15aに過大な電流が流れ、ヒューズ20aが溶断して制御回路11に電源が供給されなくなる。このようにして、制御回路11が適正に動作しないテスト専用チップ1によっては被テストチップ2に対するテスト作業が実行されることがなく、被テストチップ2についての誤ったテスト結果が外部装置に出力されることがない。

【0037】図7は、この発明の第5の実施形態に係る半導体集積回路のテスト装置の構成を示すブロック図で

ある。この実施形態に係るテスト装置では、被テストチップ2内に不揮発性メモリ27を備えている。この不揮発性メモリ27は、テスト用回路22に接続されており、テスト作業が正常に実行されたか否かの状態を記憶する。テスト専用チップ1によるテスト作業が正常に終了した場合に、テスト用回路22から不揮発性メモリ27に正常終了フラグが書き込まれる。不揮発性メモリ27は、被テストチップ2がダイシングによってウェハ8から切り出された後においても、正常終了フラグを継続して記憶している。

【0038】したがって、ウェハ8から切り出された被テストチップ2の不揮発性メモリ27に正常終了フラグが記憶されているか否かをチェックすることにより、被テストチップ2に対するテスト作業が正常に行われたか否かを判別することができ、不揮発性メモリ27に正常終了フラグが記憶されていない被テストチップ2に対しては、別のテスト装置によってテスト作業を実行することにより、被テストチップ2の機能等のテスト作業を適正に行うことができる。この場合には、テスト専用チップ1によって切断されなかったバスライン3を介して、別のテスト装置からテスト専用チップ22にテストデータを入力することができる。

【0039】なお、テスト専用チップ1による被テストチップ2に対するテスト作業が正常に終了した場合に、テスト結果を不揮発性メモリ27に格納するようにしてもよい。

【0040】

【発明の効果】請求項1に記載した発明によれば、被テストチップが形成されているウェハと同一のウェハ上に、被テストチップをテストする制御回路と外部装置に対してテスト結果をシリアル送信するシリアル通信回路とを含むテスト専用チップ、及び、テスト専用チップを単一又は複数の被テストチップ内の各回路に接続する通信ラインを形成することにより、ウェハ上の被テストチップ内の各回路を、同一のウェハ上に形成されたテスト専用チップ内の制御回路によってテストし、そのテスト結果をシリアル通信回路により単一の通信ラインを介して外部装置にシリアル送信することができ、ウェハと外部装置との間に配置すべき通信ライン数をウェハ上に存在する被テストチップのパッドの総数に比較して極めて少なくすることができ、テスト装置の構成を簡略化することができる。

【0041】請求項2に記載した発明によれば、ウェハ上に形成されたテスト専用チップと外部装置とを、シリアル通信ライン及び電源ラインを備えたプローブカードを介して接続することにより、プローブカードとテスト専用チップとの間に配置すべきライン数をウェハ上に存在する被テストチップのパッドの総数に比較して極めて少なくすることができ、ウェハ上に存在する全てのテスト専用チップとの間に接続すべきラインをプローブカー

10

20

30

40

50

ドに形成することができ、ウェハ上に存在する被テストチップの全てをテストするためにウェハの上面においてプローブカードを移動させる必要がなく、テスト作業時間を短縮することができる。

【0042】請求項3に記載した発明によれば、被テストチップのそれぞれに、テスト専用チップ内の制御回路によって制御されるテスト用回路を備えることにより、単一のテスト専用チップによって複数の被テストチップをテストする際に、複数のテスト用回路をテスト専用チップ内に構成する必要がなく、ウェハ上におけるテスト専用チップの専有面積の増加を防止することができる。

【0043】請求項4に記載した発明によれば、テスト専用チップから被テストチップに電源を供給することにより、被テストチップのテスト作業時にウェハ上に形成された多数個の被テストチップのそれぞれに外部から個別に電源を供給するための電源ラインを備える必要がなく、テスト装置の構成を簡略化することができる。

【0044】請求項5に記載した発明によれば、被テストチップとテスト専用チップとの間の通信ラインを被テストチップ内において切断することにより、ウェハからダイシングした後において被テストチップの端部に露出する通信ラインが被テストチップ内に形成された回路に電気的に接続されることがなく、被テストチップ内の回路に外部のノイズが影響を与えないようにして被テストチップ内の回路の安定した動作を維持することができる。

【0045】請求項6に記載した発明によれば、被テストチップ内に形成されたテスト用回路に対する電源ラインをテスト専用チップからの切断信号に基づいて切断することにより、被テストチップがウェハからダイシングされた後に、被テストチップ内のテスト用回路に電源が供給されないようにし、被テストチップの電力消費量の増加を防止することができる。

【0046】請求項7に記載した発明によれば、被テストチップ内の不揮発性メモリにテスト作業が正常に終了したか否かの状態を保存することにより、ウェハから被テストチップを切り出した後に不揮発性メモリの記憶内容を読み出して被テストチップに対するテスト作業が適

正に実行されたか否かを確認することができる。

【0047】請求項8に記載した発明によれば、テスト専用チップと外部装置との間の電源ラインをテスト専用チップの自己診断結果に基づいてテスト専用チップ内で切断することにより、テスト専用チップの機能が正常でない場合に、テスト専用チップによる被テストチップのテストは行わないようにすることができる。

【図面の簡単な説明】

【図1】この発明の実施形態に係る半導体集積回路のテスト装置を適用したウェハにおける被テストチップとテスト専用チップとの配置状態を示す図である。

【図2】この発明の第1の実施形態に係る半導体集積回路のテスト装置の構成を示すブロック図である。

【図3】上記半導体集積回路のテスト装置におけるプローブカードの構成を示す外観図である。

【図4】この発明の第2の実施形態に係る半導体集積回路のテスト装置の構成を示すブロック図である。

【図5】この発明の第3の実施形態に係る半導体集積回路のテスト装置の構成を示すブロック図である。

【図6】この発明の第4の実施形態に係る半導体集積回路のテスト装置の構成を示すブロック図である。

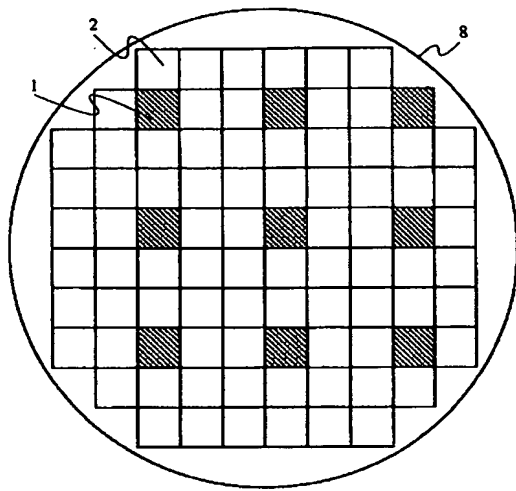
【図7】この発明の第5の実施形態に係る半導体集積回路のテスト装置の構成を示すブロック図である。

【図8】従来の半導体集積回路のテスト装置の構成を示すブロック図である。

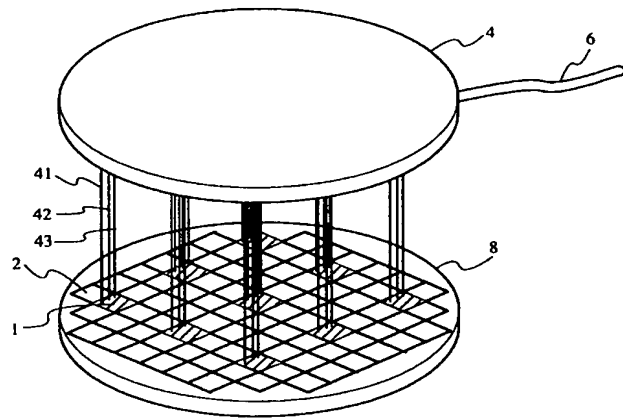
【符号の説明】

- 1－テスト専用チップ
- 2－被テストチップ
- 3－バスライン
- 4－プローブカード
- 5－外部装置
- 8－ウェハ
- 11－制御回路
- 13－シリアル通信回路
- 21－チップ本体回路
- 22－テスト用回路
- 41～43－プロービングピン

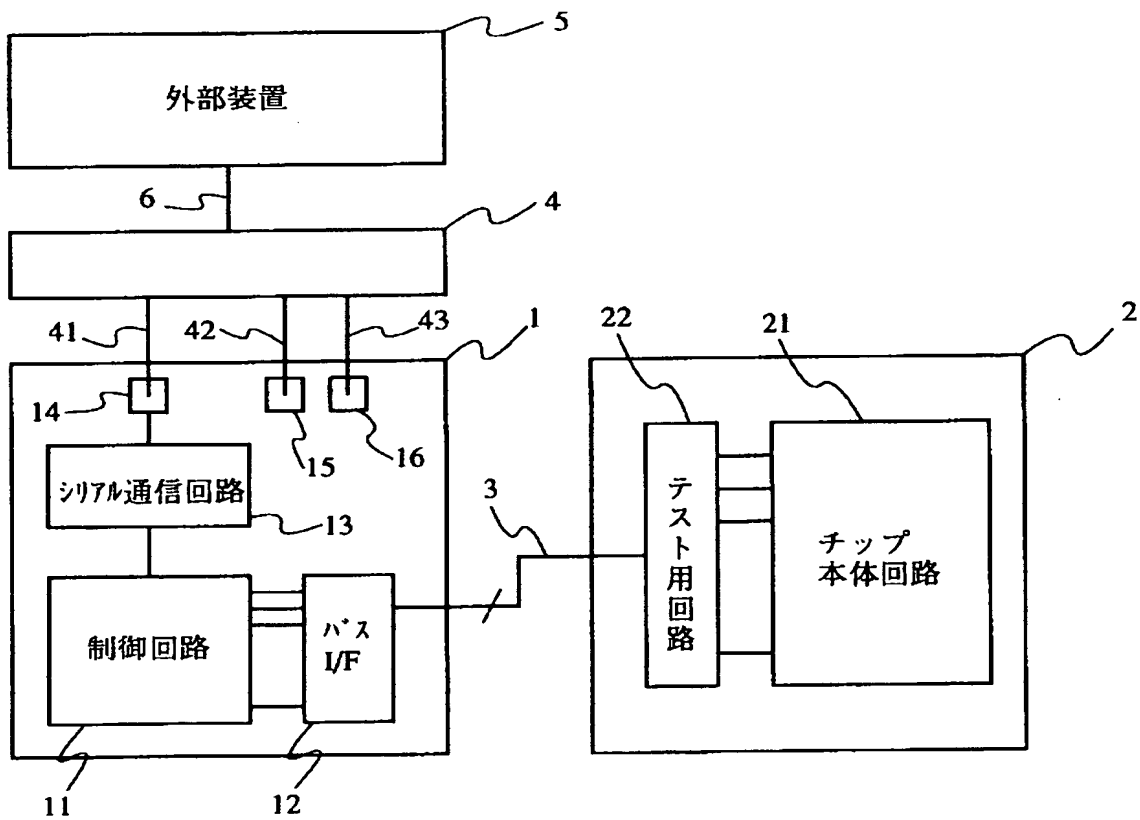
【図1】



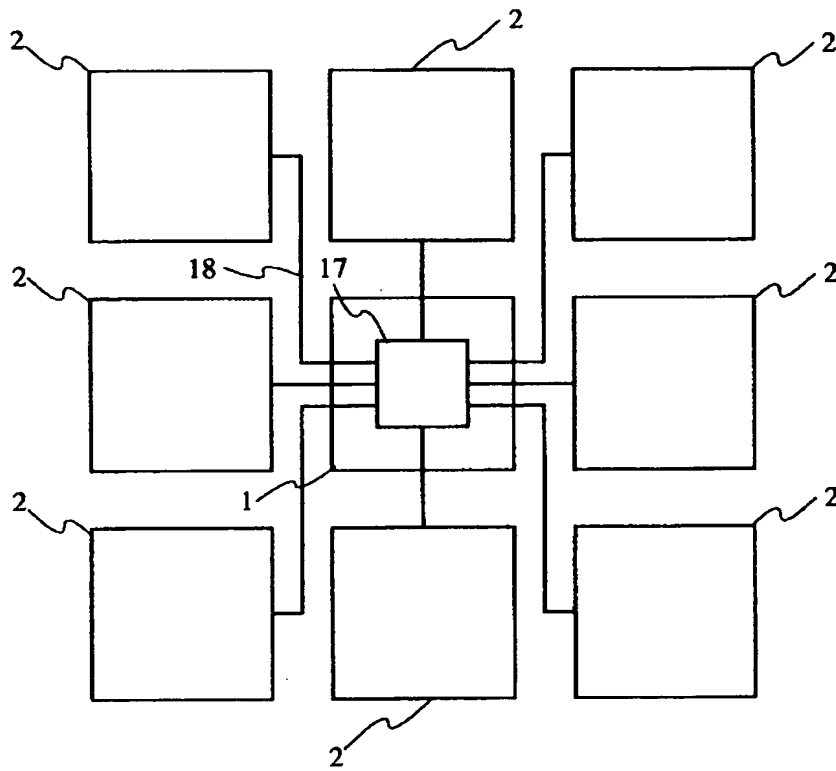
【図3】



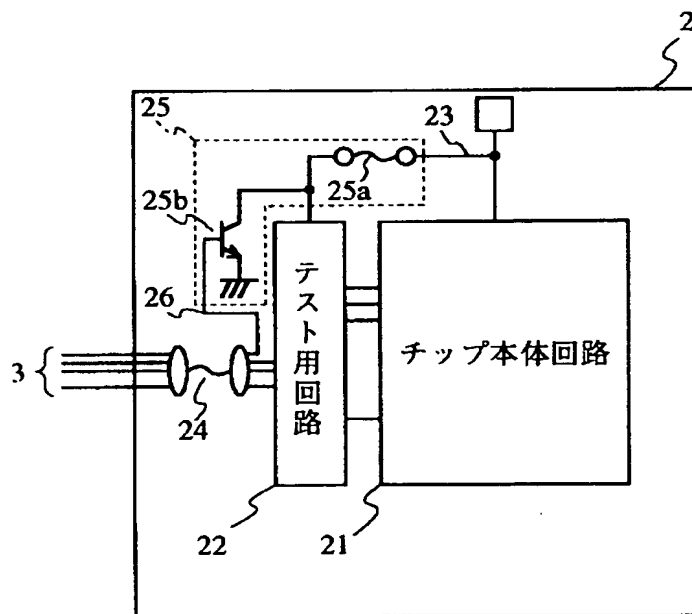
【図2】



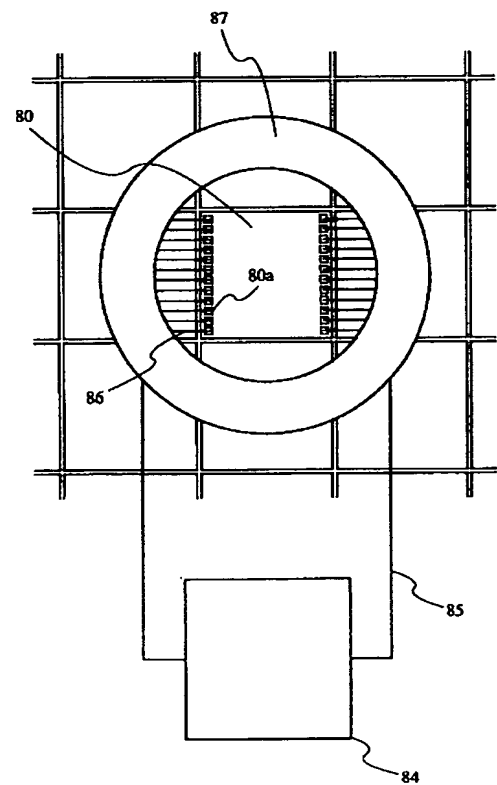
【図 4】



【図 5】



【図 8】



2

21

チップ本体回路

22

テスト用回路

3

27

フロントページの続き

F ターム(参考) 2G032 AB01 AE10 AE11 AE12 AE14
AF01 AG02 AH07 AK11 AK12
AK19 AL14
4M106 AA02 AA08 AC02 BA01 BA14
DD10 DH01 DH60 DJ21